

[Previous Doc](#) [Next Doc](#) [Go to Doc#](#)
[First Hit](#)



Generate Collection

L4: Entry 9 of 15

File: JPAB

Nov 11, 1985

DOCUMENT-IDENTIFIER: JP 60226128 A
TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE

Abstract Text (2):

CONSTITUTION: After forming a predetermined Locos oxide film, a gate oxide film, polysilicon gate, source drain diffusion layer on a silicon substrate 1, a PSG film 2 of inter-layer insulation film is formed, a contact window is opened and then a lower Al wiring 3 is formed. Next, after depositing a silicon nitride film 4 by plasma vacuum deposition method, the annealing process is carried out within the mixed gas of N₂, H₂. After, the surface is coated with the photo resist 5 by the rotary coating method, solvent within the photo resist 5 is removed by heat processing. The photo resist 4 is perfectly removed by the etching under the etching condition that the etching rate of photo resist 5 and silicon nitride film 4 becomes equal and uneven surface generated by the lower Al wiring is flattened. In this case, the silicon nitride 4 is also partly etched. As the etching gas, CF₄/O₂ mixed gas is used.

[Previous Doc](#) [Next Doc](#) [Go to Doc#](#)

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭60-226128

⑬ Int.Cl.⁴

識別記号

庁内整理番号

⑭ 公開 昭和60年(1985)11月11日

H 01 L 21/302

L-8223-5F

審査請求 未請求 発明の数 1 (全3頁)

⑮ 発明の名称 半導体装置の製造方法

⑯ 特 願 昭59-84362

⑰ 出 願 昭59(1984)4月25日

⑱ 発 明 者 真 弓 周 一 門真市大字門真1006番地 松下電子工業株式会社内

⑲ 出 願 人 松下電子工業株式会社 門真市大字門真1006番地

⑳ 代 理 人 弁理士 中尾 敏男 外1名

明 細 書

1、発明の名称

半導体装置の製造方法

2、特許請求の範囲

(1) 回路素子もしくは電極、配線膜を設けた半導体基板上に絶縁膜を被着する工程と、この絶縁膜にアニール処理を施す工程と、この絶縁膜上に有機樹脂を回転塗布する工程と、この塗布した有機樹脂と前記絶縁膜のエッチング速度がほぼ同一となるエッチング条件下で前記有機樹脂および前記絶縁膜の一部をエッチングする工程を有することを特徴とする半導体装置の製造方法。

(2) 絶縁膜のアニール処理が絶縁膜被着温度以上半導体素子の劣化温度以下の熱処理であることを特徴とする特許請求の範囲第1項記載の半導体装置の製造方法。

(3) 絶縁膜のアニール処理がイオン、電子などの荷電ビーム照射によるアニールであることを特徴とする特許請求の範囲第1項記載の半導体装

置の製造方法。

3、発明の詳細な説明

産業上の利用分野

本発明は半導体装置の製造方法、とりわけ同装置における被膜表面の平坦化方法に関するものである。

従来例の構成とその問題点

従来、平坦化技術の例としてはリンケイ酸ガラス(以下、PSGという)膜を加熱溶解させて表面の平坦化を図かるリフローの技術があるが、加熱温度が高いために、この処理工程でソース・ドレイン拡散層中の不純物が再分布して拡散層深さが深くなるため、素子のチャネル長が2μm以下の超LSI素子では短チャネル効果が問題となってくる。また、半導体素子の高集積化、高速化において要求される多層配線技術に関しても、配線にAlを用いた場合、上層および下層Al配線間の層間絶縁膜を成すPSGの表面平坦化には高温を必要とするリフロー技術は適用できない。比較的低温で素子を平坦化する技術はいろいろある

が、そのなかの一例を第1図a~dの工程流れ図を用いて説明する。

なお、第1図はA₁多層配線技術において最も平坦化の要求される工程、すなわち、上層A₁配線を形成するにあたり要求される下層A₁配線を被覆した絶縁膜(層間絶縁膜)の平坦化工程を示しており、簡明化のため、あえてトランジスタ領域の断面は示していない。

図に示すように、まず、シリコン基板1上に回路素子(図には示されていない)およびPSCから成る層間絶縁膜2を設けた後、例えば膜厚0.8μmの下層A₁配線3を形成する(第1図a)。この後、例えば、膜厚1.0μmのプラズマ蒸着法による窒化ケイ素膜4を被着する(第1図b)。さらに、この窒化ケイ素膜4上にホトレジスト5を回転塗布する(第1図c)。

次に、約200℃の熱処理を施してホトレジスト5中の溶媒を除去した後、エッチングガスとしてCF₄/O₂を用い窒化ケイ素膜4およびホトレジスト5のエッチング速度がほぼ同一となるよう

な条件下でホトレジスト5を完全にエッチング除去する。なおこの時、下層A₁配線3上に被着した窒化ケイ素膜4の一部も同時にエッチングし、下層A₁配線3上に若干の窒化ケイ素膜を残した時点でエッチングを終了する(第1図d)。

これで平坦化工程は終了し、その後、下層A₁配線と上層A₁配線間の層間絶縁膜、スルーホール、上層A₁配線を形成してA₁2層配線構造が完成されるわけであるが、この場合、ホトレジスト5および窒化ケイ素膜4を同時にエッチングする工程において、下層A₁配線3の側壁に沿って窒化ケイ素膜4が速くエッチングされてしまい、第1図dに示すような溝が生じる。このような溝が生じると、後の上層配線形成時に、上層配線の断線が生じやすく問題である。この溝の発生の原因は、プラズマ蒸着法によって窒化ケイ素膜を被着した時、下層A₁配線とシリコン基板面とのコーナーにおいて窒化ケイ素膜中のストレスが大きくなり、エッチングの際に、この部分が急速にエッチングされてしまうためである。尚、発生する溝

の深さは、エッチング圧力が500torrの時0.8μm、エッチング圧力が100torrの時0.2μmである。尚、前者は等方性エッチングであり、後者は異方性エッチングである。このように、溝の深さは等方性エッチング時に比べて大きくなる。

発明の目的

本発明はこのような問題を解決するもので、下層A₁配線に沿って溝が生じない、すなわち、なめらかな平坦化が可能な半導体装置の製造方法を提供せんとするものである。

発明の構成

本発明は下層A₁配線上に被着した窒化ケイ素膜をアニール処理する工程を加え、これにより、同窒化ケイ素膜のストレスを軽減することによって平坦化エッチングにおけるエッチング速度の均一性を高め溝の発生を防止するものである。

実施例の説明

一例として、A₁2層配線技術において、本発明にかかる絶縁膜の平坦化方法を採用したMOS

型半導体装置の製造方法の一実施例を第2図a~dの工程流れ図を用いて説明する。尚、簡明化のため、図にはA₁2層配線部分のみを示し、あえてトランジスタ領域の断面は示していない。

図に示すように、まず、シリコン基板1上に所定のLoos酸化膜、ゲート酸化膜、ポリシリコンゲート、ソース・ドレイン拡散層形成処理を行ったのち、これらをおおむね層間絶縁膜のPSC膜2を形成し、コンタクト窓を開孔した後、膜厚0.8μmの下層A₁配線3を形成する(第2図a)。次に、膜厚1.0μmのプラズマ蒸着法による窒化ケイ素膜4を330℃の処理温度で被着した後、H₂、B₂混合ガス中で450℃のアニール処理を施す(第2図b)。続いて、この上に、ホトレジスト5を回転塗布した後、例えば200℃の熱処理を施してホトレジスト5中の溶媒をほぼ完全に除去する(第2図c)。次に、ホトレジスト5および窒化ケイ素膜4のエッチング速度が同一となるエッチング条件下でホトレジスト4を完全にエッチング除去し、下層A₁配線により生じた凹凸

を平坦化する。尚、この時、窒化ケイ素膜4の一部も同時にエッチングされる。

エッチングガスとしては CF_4/O_2 混合ガスを用い、ホトレジスト5および窒化ケイ素膜4のエッチング速度比が1となるように O_2 濃度を決定する〔第2図d〕。これで平坦化工程は終了し、後、下層A δ 配線と上層A δ 配線間の層間絶縁膜、スルーホール、上層A δ 配線を形成してA δ 2層配線構造が完成する。

発明の効果

本発明によれば、窒化ケイ素膜被着後にアニール処理を施すため、下層A δ 配線と基板面のコーナーにおける窒化ケイ素膜のストレスが軽減されるため、平坦化のエッチングの際、ほぼ均一に窒化ケイ素膜はエッチングされ、溝の発生はかなり抑制できる。本実施例の場合、エッチング圧力500mtorrの等方性エッチング条件の場合、溝の深さは0.1 μ m、エッチング圧力100mtorrの異方性エッチング条件の場合、溝の発生は生じなかった。

尚、本実験では下層A δ 配線上に窒化ケイ素膜を被着したが、酸化ケイ素膜あるいはPSG膜を用いた場合も、同様の効果が期待できることは明らかである。

また、下層A δ 配線上に被着した絶縁膜をアニールする手段として熱処理以外に、イオン・電子等の荷電ビーム照射によるアニールも有効である。

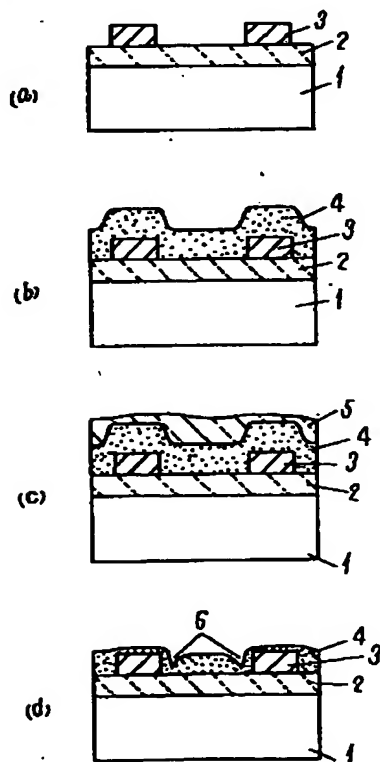
4、図面の簡単な説明

第1図a~dは従来技術を説明するための製造工程を示す流れ図、第2図a~dは本発明の一実施例を説明するための製造工程を示す流れ図である。

1……シリコン基板、2……PSG、3……下層A δ 配線、4……(プラズマ)窒化ケイ素膜、5……ホトレジスト、6……溝。

代理人の氏名 弁護士 中 尾 敏 男 ほか1名

第 1 図



第 2 図

